

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-184937

(43)Date of publication of application : 01.07.1992

(51)Int.CI.

H01L 21/331
H01L 29/73

(21)Application number : 02-312701

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 20.11.1990

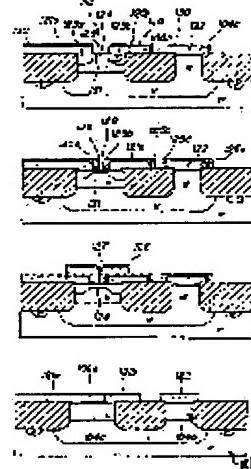
(72)Inventor : YAMAGUCHI KAZUO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the area and the power consumption of an element and improve the operation speed, by forming all of the inactive base region, the active base region and the emitter region in a self-alignment manner to an element isolation region.

CONSTITUTION: Around polycrystalline Si 106a on a first island region 104a formed on a P-type Si substrate 101, polycrystalline Si 121a, 121b of a base region and an emitter region are formed so as to be in contact with a part of the region 104a, and polycrystalline Si 122 of a collector region is formed on a second island region 104b. The region 104b is turned into an N+ type island region 104c. Inactive base regions 123a, 123b are formed in the region 104a as the result of diffusion from the Si 121a, 121b by heat-treating. An active base region 124 is formed in the region 104a for an aperture part 129 by heat-treating. The aperture part 129 is formed in a CVD oxide film formed on the substrate 101, polycrystalline Si 126 containing As is patterned, and an emitter region 127 is formed in a region 127 by heat-treating.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A) 平4-184937

⑬ Int.Cl.

H 01 L 21/331
29/73

識別記号

内整理番号

⑭ 公開 平成4年(1992)7月1日

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 2 (全13頁)

⑮ 発明の名称 半導体集積回路装置の製造方法

⑯ 特願 平2-312701

⑰ 出願 平2(1990)11月20日

⑱ 発明者 山口和夫 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代理人 弁理士 菊池弘

明細書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上にエピタキシャル層を形成し、該エピタキシャル層の表面に不純物ドープの多結晶シリコン、窒化膜および酸化膜の積層膜パターンを形成し、該パターン側壁に酸化膜のサイドウォールを形成する工程と、

その積層膜パターンとサイドウォールで固定して前記エピタキシャル層に素子分離領域を形成する工程と、

その後、積層膜パターン最上層の酸化膜およびサイドウォールを除去する工程と、

次いで、積層膜パターン下層の多結晶シリコン側端部を酸化し、酸化膜に変換する工程と、

その後、積層膜パターン中間層の窒化膜を除去し、さらに多結晶シリコン側端の酸化膜を除去し、残存した多結晶シリコン周囲の表面上に、前記素子分離領域で囲まれたエピタキシャル層島領域の

露出表面に一部が接してベース電極としての多結晶シリコンを形成する工程と、

その後、不純物導入の有無によるエッチング速度差を利用して前記積層膜パターン下層の残存多結晶シリコンを除去し、開口部を形成する工程と、

次いで、前記ベース電極としての多結晶シリコンに不純物を導入し、さらに該多結晶シリコンからの不純物拡散で前記エピタキシャル層島領域内に不活性ベース領域を形成する工程と、

その後、前記開口部部分の前記島領域に、不純物導入により活性ベース領域を形成する工程と、

その後、前記開口部の側壁にCVD法と異方性エッチングで酸化膜を形成し、開口部を、縮小されたエミッタ開口部とする工程と、

そのエミッタ開口部に多結晶シリコンを形成し、該多結晶シリコンからの不純物拡散で活性ベース領域内にエミッタ領域を形成する工程とを具備してなる半導体集積回路装置の製造方法。

(2) 半導体基板上にエピタキシャル層を形成し、該エピタキシャル層の表面に窒化膜と酸化膜の積

(2) 構造パターンを形成し、該パターン側壁に酸化膜のサイドウォールを形成する工程と、

その積層膜パターンとサイドウォールで覆定して前記エピタキシャル層に素子分離領域を形成する工程と、

表面に多結晶シリコンを生成した後、該多結晶シリコンを前記積層膜パターンとサイドウォール部分から除去し、さらに積層膜パターン上層の酸化膜とサイドウォールを除去することにより、前記素子分離領域で囲まれたエピタキシャル層島領域の一部を露出させる工程と、

その露出部に、前記積層膜パターンの下層である酸化膜上にも横方向に成長させて单結晶シリコンを成長させ、同時に一体に、前記島領域の周囲に残存している前記多結晶シリコン上に多結晶シリコンを成長させる工程と、

それら多結晶シリコンと单結晶シリコンに不純物を導入し、さらに熱処理を行って前記单結晶シリコンから前記島領域に不純物を拡散させることにより、島領域内に不活性ベース領域を形成する

工程と、

前記酸処理時に多結晶シリコンおよび单結晶シリコン表面に形成された酸化膜をマスクとして前記積層膜パターン下層の酸化膜の一部をエッチングして、開口部を形成する工程と、

その開口部部分の前記島領域に、不純物導入により活性ベース領域を形成する工程と、

前記開口部の側壁にCVD法と異方性エッチングで酸化膜を形成し、開口部を、縮小されたエミッタ開口部とする工程と、

そのエミッタ開口部に多結晶シリコンを形成し、該多結晶シリコンからの不純物拡散で活性ベース内にエミッタ領域を形成する工程とを具備してなる半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置の製造方法に係わり、特にバイポーラ型半導体素子の製造方法に関するものである。

(従来の技術)

また、利得帯域幅積の向上には、エミッタ及びベース接合を浅接合化すると共にコレクタのエピタキシャル層を薄くすることが有効である。

これらの事項を実現することを目的として提案された従来技術として、特開昭63-261746号公報に開示された製造方法を説明する。

第3図(A)～(F)は、上記技術の工程断面図をしたものである。この第3図では図面が煩雑になるのを避けるため、一部の膜が省略されて描かれている。

第3図(A)は厚い酸化膜による素子分離後、約3000Åの多結晶シリコンを形成し、表面を200Å程度酸化(図示せず)したのち、1000～2000Åの酸化膜をベース電極及びコレクタ電極を形成する部分に選択的に形成した状態を示し、301はP⁺型シリコン基板、302はシリコン基板301上に形成されたN⁻型埋込拡散層、303は埋込拡散層302上に形成されたN⁻型エピタキシャル層、304はシリコン基板301及び埋込拡散層302上に形成した素子分離酸化膜、306はエピタキシャル層303及び

半導体集積回路装置の用途として、特に高速動作を必要とする分野では、一般にECL/CML系のバイポーラ型半導体集積回路装置が用いられている。ECL/CML系回路においては、消費電力、論理振幅を一定とした場合、回路を構成する素子、配線の寄生容量およびトランジスタのベース抵抗、利得帯域幅積によって動作速度が決定される。このうち、寄生容量に関しては、特に動作速度への寄与が大きいトランジスタのベース・コレクタ間の接合容量を低減することが必要であり、このためには多結晶シリコンを用いてベース電極を素子領域の外部に引き出し、ベース面積を縮小することが有効である。また、多結晶シリコン抵抗及び金属配線を厚い分離酸化膜上に形成して、これらの寄生容量も低減する方法が一般に採用されている。

一方、ベース抵抗の低減には、不活性ベース層を低抵抗化して可能な限りエミッタに近接させると共に、エミッタを薄くしてエミッタ直下の活性ベース層の抵抗を減少させることが必要である。

電子分離酸化膜304 上に形成した多結晶シリコン、(3)307 は多結晶シリコン306 上に形成した窒化膜である。N⁺型エピタキシャル層303 は、電子分離酸化膜304 によって、ベース・エミッタ形成領域の第1の島領域303aと、コレクタ形成領域の第2の島領域303b に分けられる。

次に、第3図(B) に示すように多結晶シリコン306 を選択酸化し、多結晶シリコン306a、306b、306cを形成する。309 は多結晶シリコン306 の酸化膜である。次に、コレクタ電極多結晶シリコン306c上の窒化膜307 を選択的に除去し、コレクタ電極多結晶シリコン306cに燐をイオン注入し、熱処理を行って第2の島領域303bをコレクタ抵抗低減用N⁺型領域305 とする。その後、ベース電極多結晶シリコン306a、306bに窒化膜307 を介して硼素を $1 \sim 5 \times 10^{11} \text{ cm}^{-2}$ 程度にイオン注入を行い、900 °C 程度の温度でアニールを行ってベース電極多結晶シリコン306a、306b中の硼素濃度を均一化する。次いで、多結晶シリコン酸化膜309 のうちエミッタ形成領域部分309aを選択的に除去し、内

壁を酸化して 200Å 程度の内壁酸化膜314 を形成する。この時、多結晶シリコン306a、306bからの拡散によりP⁺型の不活性ベース310 がエピタキシャル層の第1の島領域303a内に形成される。この状態を第3図(C) に示す。

次に、BF₃ を $1 \sim 5 \times 10^{11} \text{ cm}^{-2}$ 程度イオン注入して第1の島領域303a内に第3図(D) に示すように活性ベース311 を形成した後、同第3図(D) に示すように全面に1000Å 程度の酸化膜と2000Å 程度の多結晶シリコン316 をCVDで形成する。なお、第3図(D) ではCVD酸化膜は図示が省略されている。

次に、反応性イオンエッチングを用いて多結晶シリコン316 をエッチングし、さらにCVD酸化膜と酸化膜314 のエッチングを行い、第3図(E) のようにエミッタの開口を行う。この時、多結晶シリコン316 とCVD酸化膜および酸化膜314 は開口部の側壁のみに残り、窒化膜307 による開口部よりも狭いエミッタ開口がセルフアラインで開口される。又、同時に第3図(F) のようにコレク

タ電極多結晶シリコン306cが露出する。

次に、全面に3000Å 程度の多結晶シリコン317 を堆積し、表面を200Å 程度酸化したのち硼素を 10^{11} cm^{-2} 程度イオン注入する。

そして、酸化膜(図示せず)と多結晶シリコン317 さらには窒化膜307 を第3図(F) に示すようエッチングし、熱処理により多結晶シリコン317からの拡散で活性ベース311 中にエミッタ312 を形成する。

次に、多結晶シリコン306a、306b、317 の表面の薄い酸化膜を除去後、白金を蒸着し熱処理を行って多結晶シリコン表面に白金シリサイド319 を形成する。抵抗上などシリサイド化しない部分には上記薄い酸化膜を残しておく。酸化膜上に未反応のまま残った白金は王水によって除去する。その後、全面にCVD酸化膜320 を堆積させる。

最後に、コンタクトホールを開口し、金属電極配線318 の形成を行う。

以上のような製造方法によれば、多結晶シリコンの選択酸化領域にエミッタを形成し、該酸化膜

域に隣接する残存多結晶シリコンからの拡散により、高濃度不活性ベースを形成するので、高濃度不活性ベースとエミッタとの間隔を著しく縮小することができ、また最小設計寸法よりも幅の狭いエミッタを形成することができる。又、ベース領域全体の幅は、最小設計寸法の三倍でよいためベース・コレクタ接合容量を低減する事ができる。又、エミッタ接合のはほとんど全てが、低濃度の活性ベースとの接合であり、エミッタ幅の縮小と相伴ってエミッタ・ベース接合容量も減少される。

また、接合深さは0.3μm以下に形成することができるので、エピタキシャル層を1μmまたはそれ以下に薄膜化することができ、キャリアのコレクタ空乏層走行時間が短縮する。又、上述の接合容量の減少によりコレクタ時定数、エミッタ時定数が短縮し、これらにより利得帯域幅を向上させることができ。従って、トランジスタのベース抵抗、寄生容量を低減し、利得帯域幅を向上させることができるので、著しい高速化を達成することができるという特長を有している。

(発明が解決しようとする課題)

しかしながら、上記 製造方法では、パターン形成された窒化膜307 と、分離酸化膜304 で囲まれたエピタキシャル島領域303a, 303bとが自己整合されていないため、窒化膜307 のパターン形成に於いては、マスク合わせ余裕を確保出来るよう、エピタキシャル島領域303a, 303bを、素子の動作上必要とされる以上に大きく形成しておく必要があった。従って、上記の製造方法では、素子面積の縮小に限界があり、特にベースーコレクタ間の容量 C_{rc} 及びコレクター基板間の容量 C_{rs} を充分に軽減させることは不可能で、一層の高速化を実現する場合の大きな障害となっていた。

更に、エミッタ開口幅は、最小設計寸法で窒化膜307 をエッティング除去した領域の多結晶シリコン306 を酸化して除去した開口部で、CVD法により付着形成させた多結晶シリコン膜316 の厚さと異方性エッティング量に依存して最終的に決定される。従って種々の工程に於ける制御誤差が累積されるため、所期の目的の値にエミッタ開口幅を

(4) 仕上げることは困難であった。その上、多結晶シリコン膜厚は、後続の工程との関係で無制限に厚く形成することはできず、その結果、最小設計寸法に拘らずエミッタ開口部を縮小することは不可能であった。従って、これらも一層の高速化を推進する上で大きな妨げとなっていた。

この発明は上記の点に鑑みなされたもので、従来の問題点を解決し、より低消費電力で高速動作が可能なバイポーラ型半導体集積回路装置を得ることができる、その製造方法を提供することを目的とする。

(課題を解決するための手段)

この発明は、バイポーラ型半導体集積回路装置の製造方法において、素子分離領域に対し、不活性ベース、活性ベースおよびエミッタのすべてを自己整合で形成するようにしたものである。さらには、エミッタ開口部を、CVD酸化膜と異方性エッティング技術、あるいはエピタキシャル・ラテラル・オーバーグロース (ELO) 技術とCVD酸化膜形成技術を活用して縮小形成するようにし

たものである。詳細には次のような製造方法とする。

第1のこの発明では、まず、半導体基板上にエピタキシャル層を形成し、該エピタキシャル層の表面に不純物ドープの多結晶シリコン、窒化膜および酸化膜の積層膜パターンを形成し、該パターン側壁に酸化膜のサイドウォールを形成する。その後、積層膜パターンとサイドウォールで固定して前記エピタキシャル層に素子分離領域を形成する。その後、積層膜パターン最上層の酸化膜およびサイドウォールを除去する。次いで、積層膜パターン下層の多結晶シリコン側端部を酸化し、酸化膜に遮蔽する。その後、積層膜パターン中間層の窒化膜を除去し、さらに多結晶シリコン側端の酸化膜を除去し、残存した多結晶シリコン周囲の表面上に、前記素子分離領域で囲まれたエピタキシャル層島領域の露出表面に一部が接してベース電極としての多結晶シリコンを形成する。その後、不純物導入の有無によるエッティング速度差を利用して前記積層膜パターン下層の残存多結晶シリコン

を除去し、開口部を形成する。次いで、前記ベース電極としての多結晶シリコンに不純物を導入し、さらに該多結晶シリコンからの不純物拡散で前記エピタキシャル層島領域内に不活性ベース領域を形成する。その後、前記開口部部分の前記島領域に、不純物導入により活性ベース領域を形成する。その後、前記開口部の側壁にCVD法と異方性ユッチングで酸化膜を形成し、開口部を、縮小されたエミッタ開口部とする。そのエミッタ開口部に多結晶シリコンを形成し、該多結晶シリコンからの不純物拡散で活性ベース領域内にエミッタ領域を形成する。

第2のこの発明では、まず半導体基板上にエピタキシャル層を形成し、該エピタキシャル層の表面に窒化膜と酸化膜の積層膜パターンを形成し、該パターン側壁に酸化膜のサイドウォールを形成する。その後、積層膜パターンとサイドウォールで固定して前記エピタキシャル層に素子分離領域を形成する。次に表面に多結晶シリコンを生成した後、該多結晶シリコンを前記積層膜パターンとサイド

ウォール部分から除去し、さらに積層膜パターン(5)上層の酸化膜とサイドウォールを除去することにより、前記電子分離領域で囲まれたエピタキシャル島領域の一部を露出させる。その露出部に、前記積層膜パターンの下層である窒化膜上にも横方向に成長させて単結晶シリコンを成長させ、同時に一体に、前記島領域の周囲に残存している前記多結晶シリコン上に多結晶シリコンを成長させる。それら多結晶シリコンと単結晶シリコンに不純物を導入し、さらに熱処理を行って前記単結晶シリコンから前記島領域に不純物を拡散させることにより、島領域内に不活性ベース領域を形成する。前記熱処理時に多結晶シリコンおよび単結晶シリコン表面に形成された酸化膜をマスクとして前記積層膜パターン下層の窒化膜の一部をエッチングし、開口部を形成する。その開口部部分の前記島領域に、不純物導入により活性ベース領域を形成する。前記開口部の側壁にCVD法と異方性エッティングで酸化膜を形成し、開口部を、縮小されたエミッタ開口部とする。そのエミッタ開口部

に多結晶シリコンを形成し、該多結晶シリコンからの不純物拡散で活性ベース内にエミッタ領域を形成する。

(作用)

上記この発明においては、電子分離領域に対し、不活性ベース領域、活性ベース領域およびエミッタ領域のすべてが自己整合で形成されるため、マスク合わせ余裕が不要となり、素子面積が大幅に縮小される。また、CVD酸化膜と異方性エッティング技術、あるいはエピタキシャル・ラテラル・オーバーグロース技術とCVD酸化膜形成技術を活用することにより、エミッタ開口部は、フォトリソグラフィにより制限を受ける最小寸法以下の任意の幅に制御良く形成される。

(実施例)

以下この発明の実施例を図面を参照して説明する。

第1図はこの発明の第1の実施例を示す工程断面図である。この第1の実施例を最初に説明する。

第1図(A)はP⁻型シリコン基板101にN⁺型拡散

層102及びP⁺型拡散層103a, 103bをそれぞれ選択的に形成し、0.5~1μmの厚さにN型エピタキシャル層104を成長させ、該N型エピタキシャル層104の表面に酸化により約1000Åの酸化膜105を形成し、その上に、気相成長法(以下、CVDと呼ぶ)を用いて、約5000Åの厚さで、10¹⁹cm⁻²/度の碳素を含有した多結晶シリコン106と、約1000Åの酸化膜107と、約5000Åの窒化膜108と、約5000Åの酸化膜109を形成したものである。

次に、第1図(B)に示すように、公知のフォトリソグラフィ技術により、パターン化された多結晶シリコン106a, 106b、CVD酸化膜107a, 107b、CVD窒化膜108a, 108b及びCVD酸化膜109a, 109b(積層膜パターン)を形成し、その上に約5000Åの厚さのCVD酸化膜110を付着させる。

次に、公知の異方性エッティングにより、第1図(C)に示すように、CVD酸化膜110をエッティングし、多結晶シリコン106a, 106b、CVD酸化膜107a, 107b、CVD窒化膜108a, 108b及びCVD酸化膜109a, 109bの積層膜の側壁部にのみCVD

酸化膜110a, 110b, 110c, 110d(サイドウォール)を残す。このとき、酸化膜105も選択的にエッティングされ、酸化膜105a, 105bとなる。

次に、酸化膜105a, 105b, 109a, 109b, 110a, 110b, 110c, 110dをエッティングのマスクとして、例えばSiCl₄ガスを用いてエッティングを行い、第1図(D)に示すようにN型エピタキシャル層104の約半分の厚みに等しい深さまで除去し、窪みを形成する。その後酸化を行うことにより、同第1図(D)に示すように、約1000Åの酸化膜111a, 111b, 111cを窪みの側壁と底部に形成する。

次に、約3000Åの厚さのCVD窒化膜を形成し、異方性エッティングを行うことにより、第1図(E)に示すように、窪みと積層膜部の側壁部に残留したCVD窒化膜112a, 112b, 112c, 112dを形成させる。

次に、公知の高圧酸化技術を用いて、窪み部に、N型エピタキシャル層104の窪み深さの約2倍の膜厚まで、第1図(F)に示すように酸化膜113a, 113b, 113cを成長させる。これにより、エピタキ

シャル層104は、各積層膜とそれ側壁を覆う⁽⁶⁾ CVD酸化膜下の第1、第2の島領域104a、104b(ベースとエミッタの形成予定領域114およびコレクタ形成予定領域115の各島領域)に分かれる。その後、焼酸を用いて、酸化膜形成後の複雑な形状を呈する酸化膜112a、112b、112c、112dを除去する。この後の状態が前記第1図(F)に示されている。その後フォトレジストを塗布し、露光と現像を行うことにより、ベースとエミッタの形成予定領域114を選択的に覆うように、フォトレジストを残留させ、コレクタ形成予定領域115のフォトレジストを除去し、エッチングにより、コレクタ形成予定領域115の酸化膜109b、110c、110d、酸化膜108b、酸化膜107b、多結晶シリコン106b、酸化膜105bを除去する。この場合、露光時には、厳密なマスク合わせ精度を要求されない。

次に、フォトレジストを剥離後、第1図(G)に示すように、約15000Åのフォトレジスト116を塗布し、炭素プラズマによるアッシング技術を用いて、酸化膜109aの表面および酸化膜110a、110b

の上部を露出させる。

次に、第1図(H)に示すように、公知のエッチング技術を用いて、露出した酸化膜109a、110a、110bを除去し、ベースとエミッタの形成予定領域114にCVD酸化膜108a、CVD酸化膜107a、多結晶シリコン106a、酸化膜105aの積層膜を残留させる。

次に、第1図(I)に示すように、約1000℃の水蒸気雰囲気中にて酸化することにより、多結晶シリコン106aの側端部を酸化膜117a、117bに変換させる。この酸化膜117a、117bの横方向の酸化膜厚が、エミッタ開口幅を決定する一要因となっており、酸化時間により、所期の膜厚に制御する。その後、焼酸によりCVD酸化膜108aを除去し、更に公知のエッチング技術を用いてCVD酸化膜107a、酸化膜105aの一部、酸化膜105cを除去し、第1の島領域104aの一部表面および第2の島領域104bの全面を露出させる。

次に、第1図(J)に示すように、約5000Åのフォトレジスト118を塗布し、アッシング技術を用

ることにより、酸化膜117a、117b及び多結晶シリコン106aの表面を露出させる。その後、公知のエッチング技術を用いることにより、選択的に酸化膜117a、117bを除去し、更に酸化膜105aの一部も除去し、第1の島領域104aの露出部を更に広げておく。その後、フォトレジスト118は剥離しておく。

次に、第1図(K)に示すように、約6000Åの多結晶シリコン119をCVDにて生成させ、さらにその上に約10000Åのフォトレジスト120を塗布した後、公知のエッチング技術を用い、フォトレジスト120と多結晶シリコン119の等速エッチングを行い、約10000Åの膜厚だけ除去する。その結果、多結晶シリコン119の表面が多結晶シリコン106aの表面と同一高さで平坦化される。

次に、第1図(L)に示すように、公知のフォトリソグラフィ技術を用いて、ベースとエミッタ領域の多結晶シリコン121a、121bと、コレクタ領域の多結晶シリコン122にパターン形成する。コレクタ領域の多結晶シリコン122は第2の島領域

104b上に形成され、ベースとエミッタ領域の多結晶シリコン121a、121bは、多結晶シリコン106aの周囲の基板表面上に、第1の島領域104aと一部接して形成される。その後、フォトレジスト(図示せず)の剥離後、炭素含有の多結晶シリコン106aと、含有していない多結晶シリコン121a、121b、122のエッチング速度に差があることを利用し、塩素系のガスによってドライ・エッチングし、多結晶シリコン106aのみを除去し、第1図(M)に示すように開口部129を形成する。

次に、フォトレジストを塗布し、コレクタ領域の多結晶シリコン122を含む領域を開口し、 $1 \sim 5 \times 10^{10} \text{ cm}^{-3}$ 程度の焼を多結晶シリコン122にイオン注入する。続いてフォトレジストを剥離後、約1000℃の熱処理を行うことで、多結晶シリコン122からの焼付散により第1図(M)に示すように、第2の島領域104bをV型島領域104cに変換させる。次に、フォトレジスト剥離後、再度フォトレジストを塗布し、露光と現像を行って、ベースとエミッタ領域の多結晶シリコン121a、122b上を開口し、

$1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度の酸素を多結晶シリコン 121a, 121b にイオン注入する。続いてフォトレジストを剥離後、約 900℃ の酸素雰囲気で熱処理することにより、多結晶シリコン 121a, 121b からの拡散により、不活性ベース領域 123a, 123b を第 1 の島領域 104a 内に形成する。これら二つの拡散処理によって、多結晶シリコン 121a, 121b, 122 上には、約 2000 A の酸化膜 130 が形成され、開口部 129 の第 1 の島領域 104a 複数には、約 1000 A の酸化膜 131 が形成される。その後、フォトレジストを塗布し、ベースとエミッタの形成予定領域 114 を開口し、 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度の酸素をイオン注入する。そして、フォトレジストの剥離後、約 800 ℃ の熱処理を行うことにより、開口部 129 部分の第 1 の島領域 104a 内に活性ベース領域 124 を形成する。

次に、約 2000 A の CVD 酸化膜を全面に付着形成させる。この CVD 酸化膜の膜厚によってもエミッタ幅を制御することができ、必要に応じて適宜膜厚を変化させる。その後、異方性エッチング

132, 130 に公知のフォトリソグラフィ技術でコントロールホールを開口し、約 5000 A のアルミニウム等の金属をスパッタ法で付着し、公知のフォトリソグラフィ技術によりバターン形成することで金属電極 128a, 128b, 125c を形成する。この時、多結晶シリコン電極の抵抗を低減するために、酸化膜除去後に、金属シリサイドを形成させ、その上に金属を付着させてよい。

以上でこの発明の第 1 の実施例に係わる製造工程を終了する。

第 2 図は本発明の第 2 の実施例を示す工程断面図である。次にこの第 2 の実施例を説明する。

第 2 図(A) は、P+ 型シリコン基板 201 にN+ 型拡散層 202 及び P+ 型拡散層 203a, 203b をそれぞれ選択的に形成し、0.5 ~ 1 μm の厚さに N 型エピタキシャル層 204 を成長させ、該 N 型エピタキシャル層 204 の表面に酸化により約 1000 A の酸化膜 205 を形成し、その上に、気相成長法（以下、CVD と呼ぶ）を用いて、約 5000 A の CVD 窒化膜 206 と、約 5000 A の CVD 酸化膜 207 を形成したもの

(7) 技術を用いて CVD 酸化膜をエッチングすることにより、開口部 129 の側壁部および多結晶シリコン 121b, 122 の側壁部に残留した CVD 酸化膜 125a, 125b, 125c, 125d, 125e を形成させる。このとき同時に、活性ベース領域 124 上に形成されていた酸化膜 131 も部分的に除去される。そして、開口部 129 は縮小されたエミッタの開口部となる。

次に、約 3000 A の厚さの CVD 多結晶シリコン 126 を生成させ、約 500 A の厚さに裏面を酸化した後、 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度の酸素をイオン注入する。この酸素を含有した多結晶シリコン 126 を、前記エミッタ開口部を含むエミッタ形成領域に残留させるように、第 1 図(O) に示すように、公知のフォトリソグラフィ技術でバターン形成し、900 ℃ 前後の温度で熱処理を行うことにより、多結晶シリコン 126 からの不純物拡散で活性ベース領域 124 内にエミッタ領域 127 を形成する。

最後に、第 1 図(P) に示すように、エミッタ、ベース及びコレクタの各多結晶シリコン電極としての多結晶シリコン 126, 121a, 122 上の酸化膜

である。

次に、第 2 図(B) に示すように、公知のフォトリソグラフィ技術により、バターン化された CVD 窒化膜 206a, 206b 及び CVD 酸化膜 207a, 207b (積層膜バターン) を形成し、その上に約 5000 A の厚さの CVD 酸化膜 208 を付着させる。

次に、公知の異方性エッチングにより、第 2 図(C) に示すように、CVD 酸化膜 208 をエッチングし、CVD 窒化膜 206a, 206b と CVD 酸化膜 207a, 207b の側壁部にのみ CVD 酸化膜 208a, 208b, 208c, 208d (サイドウォール) を残す。このとき、酸化膜 205 の一部もエッチングされ、酸化膜 205a, 205b となる。

次に、酸化膜 205a, 205b, 207a, 207b, 208a, 208b, 208c, 208d をエッチングのマスクとして、例えば SiCl₄ ガスを用いてエッチングを行い、第 2 図(D) に示すように N 型エピタキシャル層 204 の約半分の厚みに等しい深さまで除去し、窓みを形成する。その後酸化を行うことにより、同第 2 図(D) に示すように、約 1000 A の酸化膜 209a,

209b, 209cを窓みの側壁と底部に形成する。 (8)

次に、約3000Åの厚さ CVD窒化膜を形成し、異方性エッチングを行うことにより、第2図(I)に示すように、窓みと積層膜部の側壁部に残留CVD窒化膜210a, 210b, 210c, 210dを形成させる。

次に、公知の高圧酸化技術を用いて、窓み部に、N型エピタキシャル層204の窓み深さの約2倍の膜厚まで、第2図(F)に示すように酸化膜211a, 211b, 211cを成長させる。これにより、エピタキシャル層204は、各積層膜とその側壁を覆うCVD酸化膜下の第1, 第2の島領域204a, 204b(ベースとエミッタの形成予定領域212およびコレクタ形成予定領域213の各島領域)に分かれる。その後、磷酸を用いて、酸化膜形成後の複雑な形状を呈する酸化膜210a, 210b, 210c, 210dを除去する。この後の状態が第2図(F)に示されている。

次に、フォトレジストを塗布し、露光と現像を行うことにより、ベースとエミッタの形成予定領域212にフォトレジストを残留させ、コレクタ形

成予定領域213のフォトレジストを開口し、エッチングにより第2図(G)に示すようにコレクタ形成予定領域213の酸化膜207b, 208c, 208d, 205b及び酸化膜206bを除去する。この場合、露光時には、厳密なマスク合わせ精度を要求されない。

次に、フォトレジストを剥離後、第2図(H)に示すように、CVDにより約1000Åの厚さの多結晶シリコンを形成し、公知のフォトリソグラフィ技術により、ベースとエミッタの形成予定領域212とその周辺領域、ならびにコレクタ形成予定領域213にそれぞれ残留させる多結晶シリコン214a, 214bをバターン形成する。その後、フォトレジストの塗布、露光及び現像を行い、フォトレジストでベースとエミッタの形成予定領域およびその周辺領域の多結晶シリコン214aを覆い、 $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 程度の磷を、コレクタ形成予定領域の多結晶シリコン214bにイオン注入する。そして、フォトレジストの剥離後、約1000°Cで熱処理を行うことで、多結晶シリコン214bからの拡散により、第2の島領域204bをN+型島領域204cとする。続い

て、同様に、コレクタ形成予定領域の多結晶シリコン214bをフォトレジストで覆い、ベースとエミッタの形成予定領域およびその周辺領域の多結晶シリコン214aに $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 程度の磷素をイオン注入する。

次に、第2図(I)に示すように、約1000Åの厚さのフォトレジスト215を塗布し、さらに酸素プラズマによるアッシング技術を用いて同第2図(I)に示すように、ベースとエミッタの形成予定領域の多結晶シリコン214a表面を露出させる。

次に、その露出部からベースとエミッタの形成予定領域の多結晶シリコン214a、および酸化膜207a, 208a, 208b、及び酸化膜205aの一部をエッチング除去し、第2図(J)に示すように、第1の島領域204aの露出部216a, 216bを形成させる。

次に、第2図(K)に示すように、酸化膜206a上でラテラル・オーバーグロースの性質を有するエピタキシャル成長を行い、露出部216a, 216bに単結晶シリコン217a, 217bを成長させる。このときのエピタキシャル成長条件の一例として、温度：

800 ~ 1000°C、圧力：25~80Torr、SiH₄Cl₂流量：0.3 L/分、HCl流量：1 L/分、N₂流量：100 L/分が推奨される。ラテラル・オーバーグロースの長さは、エピタキシャル成長時間で制御され、エミッタ幅を決定する重要な要因の一つである。また、このとき、多結晶シリコン217a, 217bと一緒に多結晶シリコン218a, 218bが生成され、同様に多結晶シリコン214b上には多結晶シリコン218cが生成される。

次に、フォトレジストを塗布し、コレクタ・コンタクトの多結晶シリコン218cの領域を開口し、 $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 程度の磷を多結晶シリコン218cにイオン注入する。続いてフォトレジストを剥離後、再度フォトレジストを塗布し、多結晶シリコン218cの領域以外を開口した後、 $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 程度の磷素を単結晶シリコン217a, 217bおよび多結晶シリコン218a, 218bにイオン注入する。続いてフォトレジストを剥離後、約900°Cの酸素雰囲気で熱処理することにより、結晶シリコン217a, 217bからの不純物拡散で第2図(L)に示すように

(9)
活性ベース領域219a, 219bを第1の島領域204a内に形成する。この時、多結晶シリコン218a, 218b, 218c, 214a, 214bおよび結晶シリコン217a, 217b表面には約1000入の酸化膜220a, 220b, 220cが形成される。そして、この酸化膜220a, 220b, 220cをマスクに、第1の島領域204a上に残存している窒化膜206aの一部を異方性エッチングし、開口部222を形成する。続いてフォトレジストを塗布し、前記開口部222部分を開口し、 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度の硼素をイオン注入し、約800°Cでの熱処理を行うことにより、前記開口部222部分の第1の島領域204a内に活性ベース領域226を形成する。次に、開口部222の内壁を含む全面に約2000入のCVD酸化膜221を付着形成させる。

このCVD酸化膜221の膜厚によってもエミッタ幅を制御することができ、必要に応じて適宜膜厚を変化させる。

次に、第2図(N)に示すように、異方性エッチング技術を用いてCVD酸化膜221をエッチングし、該CVD酸化膜221を前記開口部222の側壁

形成することで金属電極225a, 225b, 225cを形成する。この時、多結晶シリコン電極の抵抗を低減するために、酸化膜除去後に、金属シリサイドを形成させ、その上に金属を付着させてよい。

以上でこの発明の第2の実施例に係わる製造工程を終了する。

なお、以上述べた2つの製造工程に於いて、酸化膜分離を用いずに、深い溝にシリコン等を充填する、所謂トレンチ分離を用いる方法を採用したり、トランジスタ以外にダイオード、抵抗、キャパシタ等を付加することは、この発明の趣旨を何等変更するものではない事は明らかである。

(発明の効果)

以上詳細に説明したように、この発明によれば、素子分離領域に対し、不活性ベース領域、活性ベース領域及びエミッタ領域のすべてが自己整合で形成されるため、マスク合わせ余裕が不要となり、従来例と同一の設計基準に於いても、バイポーラ素子面積を大幅に縮小することが可能となり、コレクター基板間の接合容量C_{Ts}及びベース-コ

レクタ間の接合容量C_{Tc}を低減できる。そして、C_{Ts}及びC_{Tc}の低減により、従来例に比べ、バイポーラ型半導体集積回路装置の低消費電力化と高速化を図ることができる。

次に、約3000入の厚さのCVD多結晶シリコン223を生成させ、約500入の厚さに表面を酸化した後、 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度の硼素をイオン注入する。この硼素を含有した多結晶シリコン223を、前記エミッタ開口部を含むエミッタ形成領域に残留させるように、第2図(N)に示すように、公知のフォトリソグラフィ技術でパターン形成し、900°C前後の温度で熱処理を行うことにより、多結晶シリコン223からの不純物拡散で活性ベース領域226内にエミッタ224を形成する。

最後に、第2図(O)に示すように、エミッタ、ベース及びコレクタの各多結晶シリコン電極としての多結晶シリコン223, 218a, 218c上の酸性膜227, 220a, 220cに公知のフォトリソグラフィ技術でコンタクトホールを開口し、約5000入のアルミニウム等の金属をスパッタ法で付着し、バター

レクタ間の接合容量C_{Tc}を低減できる。そして、C_{Ts}及びC_{Tc}の低減により、従来例に比べ、バイポーラ型半導体集積回路装置の低消費電力化と高速化を図ることができる。

また、CVD酸化膜と異方性エッチング技術、あるいはエピタキシャル・ラテラル・オーバーアロース技術とCVD酸化膜形成技術を活用してエミッタ開口部を縮小形成したので、該エミッタ開口部をフォトリソグラフィにより制限を受ける最小寸法以下の任意の幅に制御良く形成することができ、素子の一層の高速化を達成することができる。

4. 図面の簡単な説明

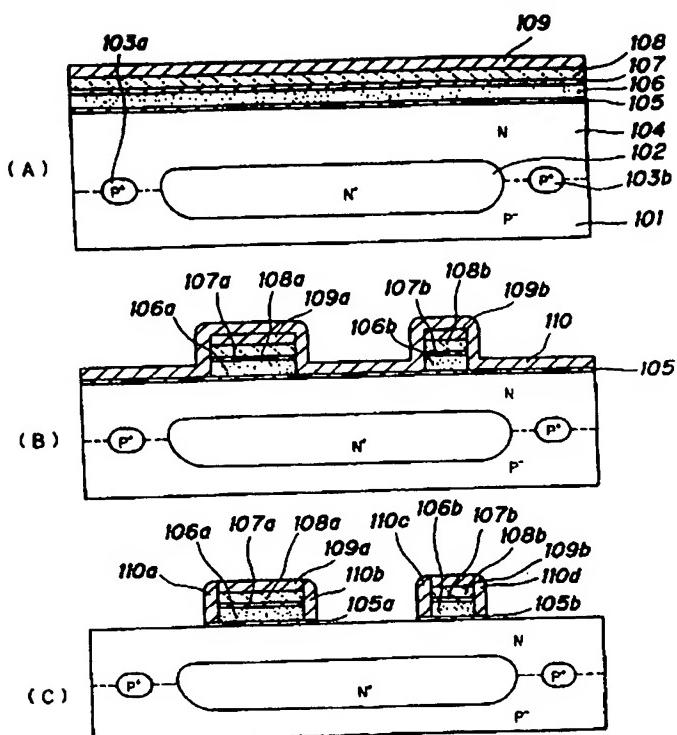
第1図はこの発明の半導体集積回路装置の製造方法の第1の実施例を示す工程断面図、第2図はこの発明の第2の実施例の工程断面図、第3図は従来の製造方法の工程断面図である。

101…P型シリコン基板、104…N型エピタキシャル層、104a…第1の島領域、106a…多結晶シリコン、108a…CVD酸化膜、109a…CVD酸化

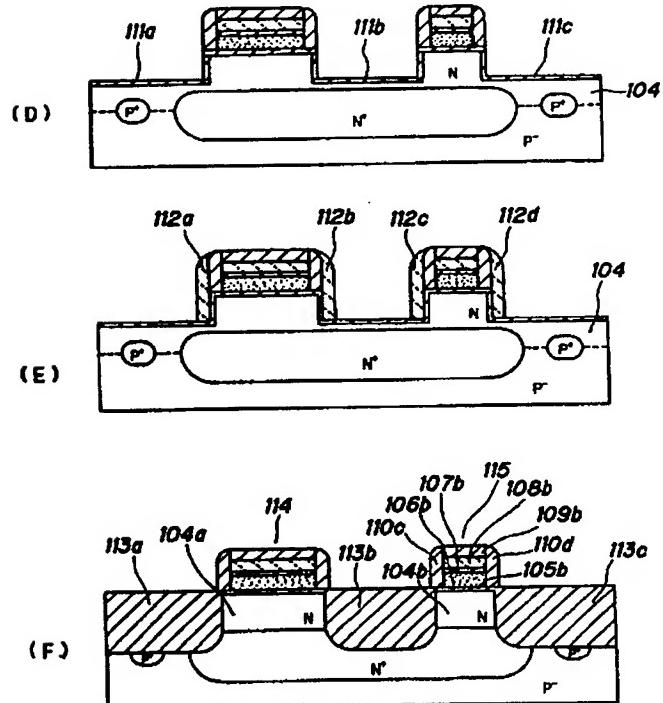
(10)

図、110a, 110b…CVD酸化膜、113a, 113b…酸化膜、117a, 117b…酸化膜、121a, 121b…多結晶シリコン、123a, 123b…不活性ベース領域、124…活性ベース領域、125a, 125b…CVD酸化膜、126…多結晶シリコン、127…エミッタ領域、129…開口部、201…P+シリコン基板、204…N型エピタキシャル層、206a…CVD酸化膜、207a…CVD酸化膜、208a, 208b…CVD酸化膜、211a, 211b…酸化膜、214a…多結晶シリコン、216a, 216b…露出部、217a, 217b…単結晶シリコン、218a, 218b…多結晶シリコン、219a, 219b…不活性ベース領域、220a, 220b…酸化膜、221…CVD酸化膜、222…開口部、223…多結晶シリコン、224…エミッタ領域、226…活性ベース領域。

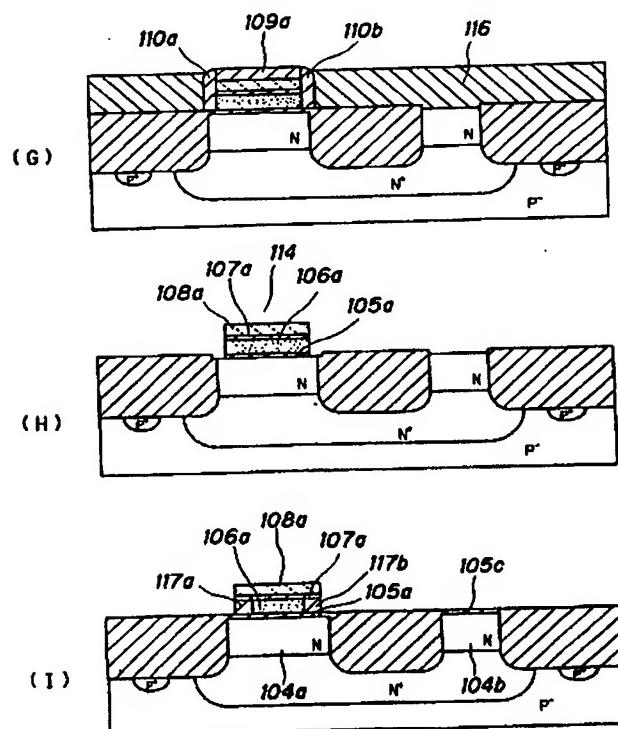
特許出願人 沖電気工業株式会社
代理人弁理士 菊池 弘



本発明の第1の実施例の工程断面図
第1図

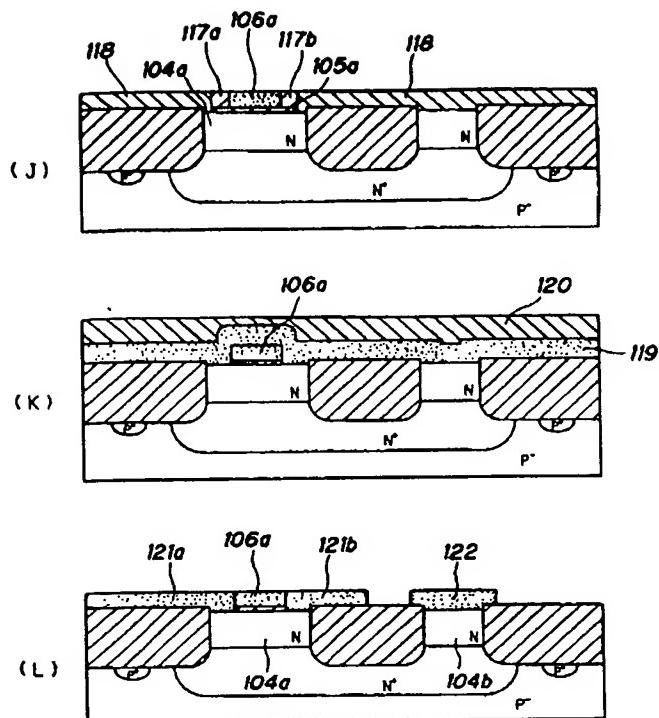


本発明 第1の実施例の工程断面図



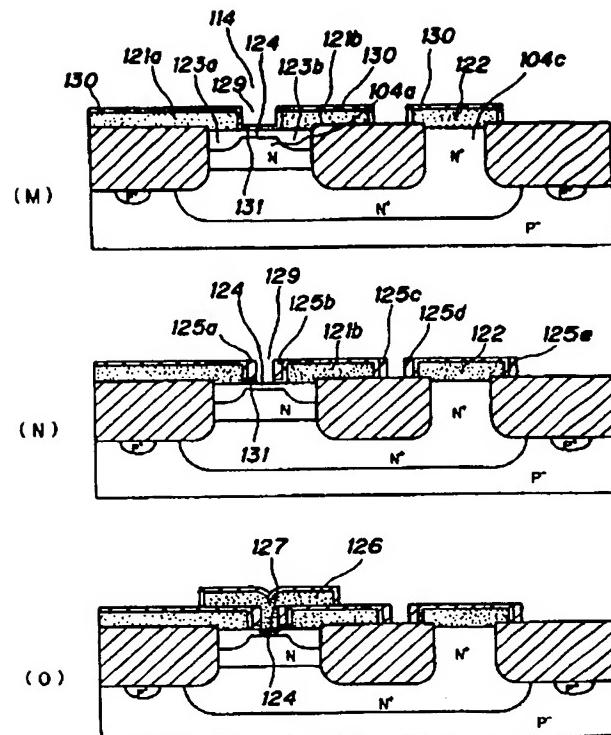
本発明の第1の実施例の工程断面図
第1図

(11)



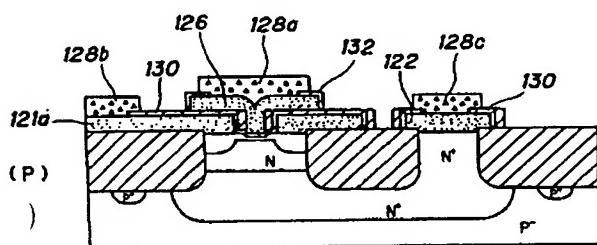
本発明の第1の実施例の工程断面図

第1図



本発明の第1の実施例の工程断面図

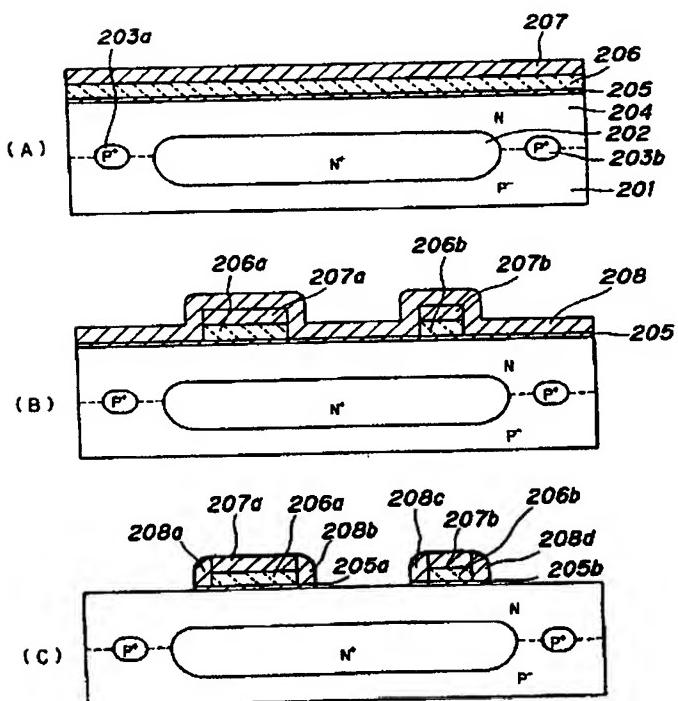
第1図



- 101: P⁺型シリコン基板
- 104: N型エピタキシャル層
- 104a: 第1の島領域
- 106a: 多結晶シリコン
- 108a: CVD窒化膜
- 109a: CVD酸化膜
- 110a, 110b: CVD酸化膜
- 113a, 113b: 酸化膜
- 117a, 117b: 硅化膜
- 121a, 121b: 多結晶シリコン
- 123a, 123b: 不活性ベース領域
- 124: 活性ベース領域
- 125a, 125b: CVD酸化膜
- 126: 多結晶シリコン
- 127: エミッタ領域
- 129: 開口部

本発明の第1の実施例の工程断面図

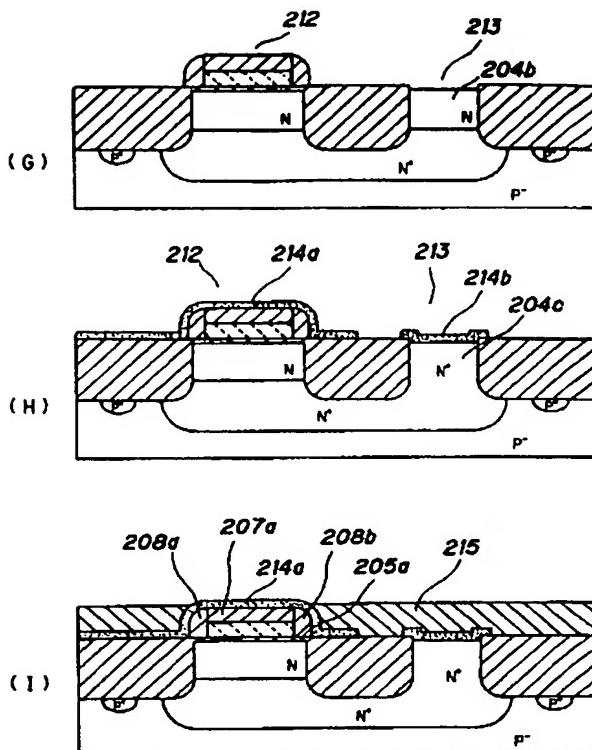
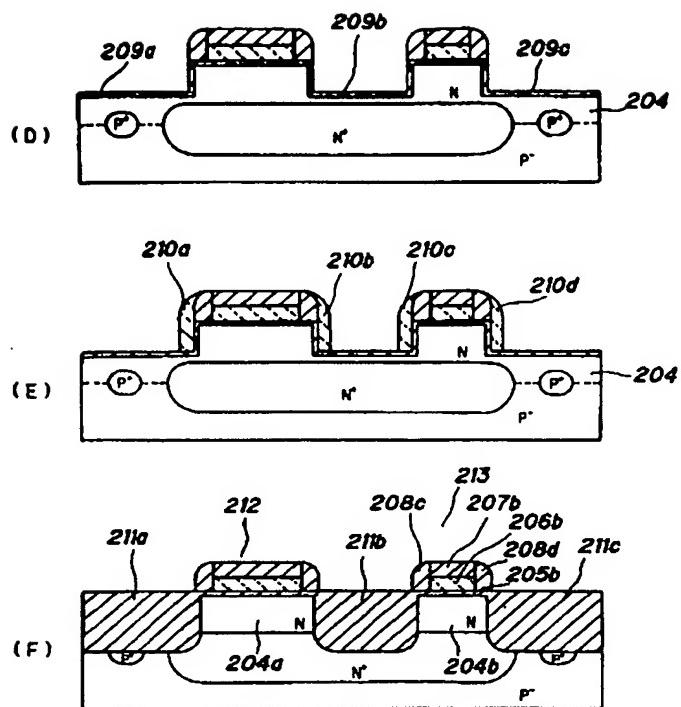
第1図



本発明の第2の実施例の工程断面図

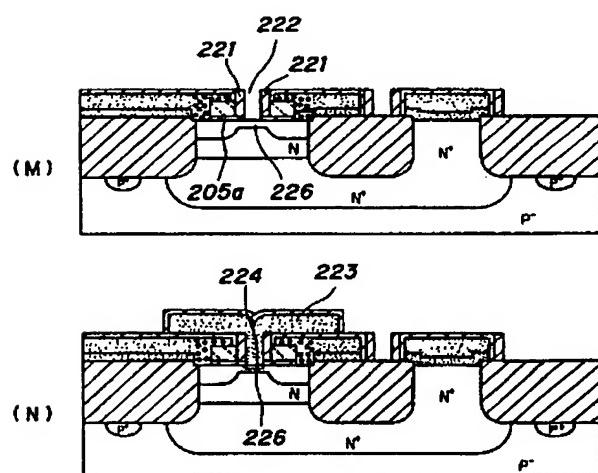
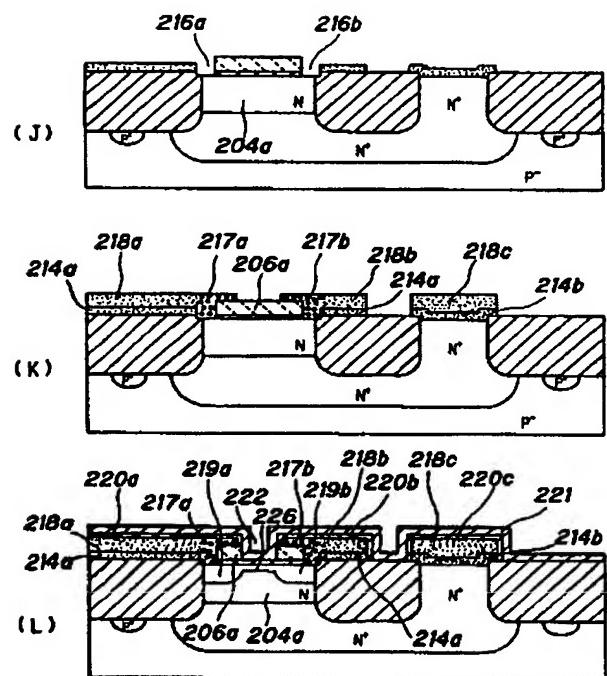
第2図

(12)



本発明の第2の実施例の工程断面図

第2図

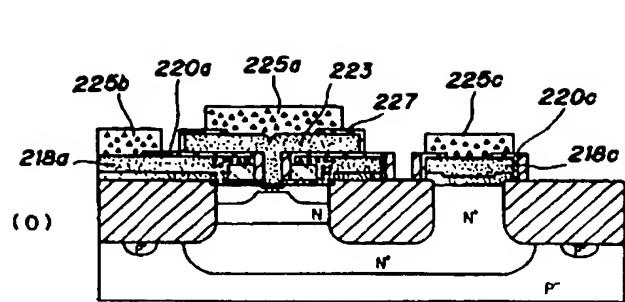


本発明の第2の実施例の工程断面図

第2図

本発明の第2の実施例の工程断面図

第2図

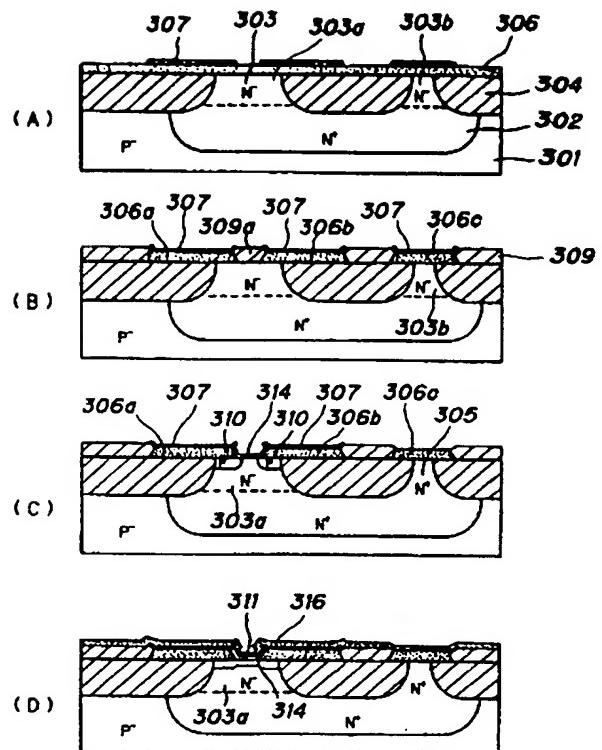


- 201: P型シリコン基板
 204: N型エピタキシャル層
 206a: CVD窒化膜
 207a: CVD酸化膜
 208a, 208b: CVD酸化膜
 211a, 211b: 硝化膜
 214a: 多結晶シリコン
 216a, 216b: 開出部
 217a, 217b: 単結晶シリコン
 218a, 218b: 多結晶シリコン
 219a, 219b: 不活性ベース領域
 220a, 220b: 硝化膜
 221: CVD酸化膜
 222: 開口部
 223: 多結晶シリコン
 224: エミッタ領域
 226: 活性ベース領域

本発明の第2の実施例の工程断面図

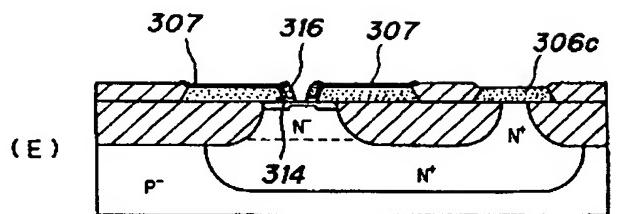
第2図

(13)



従来方法の工程断面図

第3図



従来方法の工程断面図

第3図